

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Fumitaka ARAI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE INCLUDING IMPROVED GATE ELECTRODE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-049615	February 26, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月26日

出 願 番 号

Application Number:

特願2003-049615

[ST.10/C]:

[JP2003-049615]

出 願 人

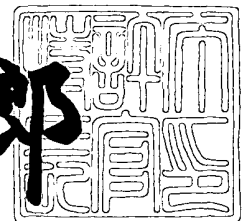
Applicant(s):

株式会社東芝

2003年 6月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3049433

【書類名】 特許願

【整理番号】 A000300278

【提出日】 平成15年 2月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明の名称】 不揮発性半導体記憶装置

【請求項の数】 26

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 荒井 史隆

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 白田 理一郎

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 清水 暁

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 松永 泰彦

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 佐久間 誠

【特許出願人】

 【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 半導体基板上にゲート絶縁膜を介して形成された浮遊ゲートと、

前記浮遊ゲートの両側に位置する前記半導体基板内に形成されたソース又はドレイン領域としての拡散層と、

前記浮遊ゲートの両側に形成され、前記浮遊ゲートを駆動する第 1、第 2 の制御ゲートと、

前記制御ゲートと前記浮遊ゲート及び前記拡散層を絶縁するゲート間絶縁膜と

を具備することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記ゲート間絶縁膜は、前記浮遊ゲートの両側壁と前記第 1、第 2 の制御ゲートの下面とに接触し、前記第 1、第 2 の制御ゲートは前記拡散層に対向していることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記ゲート間絶縁膜は、前記浮遊ゲートに接触する第 1 の部分と、前記第 1 又は第 2 の制御ゲートの下面に接触する第 2 の部分を有し、前記第 2 の部分の厚さは前記第 1 の部分の厚さより厚いことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 前記第 1 の部分は、シリコン窒化膜を含む積層膜であり、前記第 2 の部分はシリコン酸化膜であることを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】 前記第 1 の部分は、アルミニウム酸化物を含む単層あるいは積層膜であり、前記第 2 の部分はシリコン酸化膜であることを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 6】 前記浮遊ゲートの前記拡散層に対応した両側面側に形成され、隣接するメモリセルを絶縁するための絶縁体と、

前記拡散層上の前記絶縁体にそれぞれ形成された第 1、第 2 の溝と、

前記第 1、第 2 の溝内に形成され前記第 1、第 2 の制御ゲートを構成する導体

とを具備し、

前記導体を介して、隣接する前記メモリセルの第 1、第 2 の制御ゲートが接続されることを特徴とする請求項 1 乃至 3 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 7】 前記浮遊ゲートの前記第 1、第 2 の制御ゲートに接触する側面と異なる側面に対応して形成された第 3 の溝と、

前記第 3 の溝内に埋め込まれた第 2 の絶縁体とを有し、
前記第 3 の溝において、前記第 2 の絶縁体上の前記第 1、第 2 の制御ゲートの底面は、前記半導体基板上での前記第 1、第 2 の制御ゲートの底面より高いことを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

【請求項 8】 半導体基板に形成された溝と、

前記溝の底部に第 1 のゲート絶縁膜を介して形成された浮遊ゲートと、

前記浮遊ゲートの両側に対応する前記半導体基板内に形成されたソース又はドレイン領域としての拡散層と、

前記両拡散層上に位置し、前記浮遊ゲートの両側壁にゲート間絶縁膜を介して形成され、前記浮遊ゲートを駆動する第 1、第 2 の制御ゲートと

を具備することを特徴とする不揮発性半導体記憶装置。

【請求項 9】 前記第 1、第 2 の制御ゲートと前記半導体基板との間に第 2 のゲート絶縁膜を有し、

前記ゲート間絶縁膜は前記浮遊ゲートの両側壁に接触し、前記第 2 のゲート絶縁膜は前記ゲート間絶縁膜より厚膜であることを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 10】 前記第 1 のゲート絶縁膜は前記浮遊ゲートの底部及び側面に接触していることを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 11】 前記ゲート間絶縁膜は前記浮遊ゲートの両側壁に接触し、前記溝の側面と前記浮遊ゲート間には前記第 3 のゲート絶縁膜を有し、前記浮遊ゲート底面に形成された前記第 1 のゲート絶縁膜と前記ゲート間絶縁膜と前記第 3 のゲート絶縁膜とが、異なる膜厚であることを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 1 2】 前記ゲート間絶縁膜の膜厚を T_1 、前記第 3 のゲート絶縁膜の膜厚を T_2 、前記第 1 のゲート絶縁膜の膜厚を T_3 とした場合、これらの関係が $T_1 > T_2 > T_3$ であることを特徴とする請求項 1 1 記載の不揮発性半導体記憶装置。

【請求項 1 3】 前記浮遊ゲートの前記第 1、第 2 の制御ゲートに対向する側面と異なる側面に対応して形成された溝と、

前記溝内に埋め込まれた第 1 の絶縁体とを有し、

前記第 1、第 2 の制御ゲートの上面は前記第 1 の絶縁体の上面より低く形成されていることを特徴とする請求項 8 乃至 1 2 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 1 4】 前記第 1、第 2 の制御ゲートの上部に形成された第 2 の絶縁体と、

前記第 1、第 2 の制御ゲートに対応して前記第 2 の絶縁体にそれぞれ形成され、前記第 1、第 2 の制御ゲートの上面の面積より小さい面積の第 1、第 2 の開口部と、

前記第 1、第 2 の開口部を介して前記第 1、第 2 の制御ゲートにそれぞれ接続される第 1、第 2 の配線と

をさらに具備することを特徴とする請求項 1 3 記載の不揮発性半導体記憶装置

。 【請求項 1 5】 前記第 1、第 2 の制御ゲートは、異なる電位に設定されることを特徴とする請求項 1 乃至 1 4 のいずれかに記載の不揮発性半導体記憶装置

。 【請求項 1 6】 前記ゲート間絶縁膜の膜厚は、前記ゲート絶縁膜より厚いことを特徴とする請求項 1 乃至 1 4 のいずれかに記載の不揮発性半導体記憶装置

。 【請求項 1 7】 前記ゲート間絶縁膜は、アルミニウム酸化物、ハフニウム酸化物、シリコン酸化物、シリコン窒化物、ジルコニア酸化物のいずれか 1 つあるいは、これらの少なくとも 2 つの積層膜により形成されることを特徴とする請求項 1 乃至 1 4 のいずれかに記載の不揮発性半導体記憶装置。

【請求項18】 前記第2の絶縁体は、シリコン窒化物単層あるいはシリコン窒化物を含む積層膜により形成されることを特徴とする請求項14に記載の不揮発性半導体記憶装置。

【請求項19】 前記浮遊ゲート及び前記第1、第2の制御ゲートは、ポリシリコンで形成されることを特徴とする請求項1乃至14のいずれかに記載の不揮発性半導体記憶装置。

【請求項20】 前記第1、第2の制御ゲートは、チタン、タングステン、タングステン窒化物、チタン窒化物のいずれか1つあるいは少なくとも2つの積層膜により形成されることを特徴とする請求項1乃至14のいずれかに記載の不揮発性半導体記憶装置。

【請求項21】 前記制御ゲートは、チタン、コバルトあるいはニッケル金属のサリサイド構造であることを特徴とする請求項1乃至14のいずれかに記載の不揮発性半導体記憶装置。

【請求項22】 前記浮遊ゲートの底面は前記制御ゲートの底面より下方に位置することを特徴とする請求項1乃至14のいずれかに記載の不揮発性半導体記憶装置。

【請求項23】 前記第1、第2の制御ゲートが同電位である場合において、前記浮遊ゲートの電位を決定する容量比（ C_r ）が次式

$$C_r = C_{ip} / (C_{ip} + C_{tox})$$

$$= (2 \cdot \epsilon_{ip} \cdot W \cdot T_{fg} / T_{ip}) / ((2 \cdot \epsilon_{ip} \cdot W \cdot T_{fg} / T_{ip}) + \epsilon_{tox} \cdot W \cdot L / T_{tox})$$

ここで、 ϵ_{ip} ：ゲート間絶縁膜の誘電率、 ϵ_{tox} ：ゲート絶縁膜の誘電率、 W ：セルトランジスタのチャンネル幅、 L ：セルトランジスタのゲート長、 T_{fg} ：FG膜厚、 T_{tox} ：ゲート絶縁膜の膜厚、 T_{ip} ：ゲート間絶縁膜の膜厚

で表されることを特徴とする請求項1乃至14のいずれかに記載の不揮発性半導体記憶装置。

【請求項24】 半導体基板の上方に形成された浮遊ゲートと、前記浮遊ゲートの両側に浮遊ゲート及び前記半導体基板から絶縁して形成され

た第 1、第 2 の制御ゲートと、

前記半導体基板と前記浮遊ゲートとの間の第 1 の容量と、

前記第 1 の制御ゲートと前記浮遊ゲートとの間の第 2 の容量と、

前記第 2 の制御ゲートと前記浮遊ゲートとの間の第 3 の容量と、

前記第 1 の制御ゲートと前記半導体基板との間の第 4 の容量と、

前記第 2 の制御ゲートと前記半導体基板との間の第 5 の容量と

を具備することを特徴とする不揮発性半導体記憶装置。

【請求項 2 5】 浮遊ゲート及びソース、ドレインを有するセルトランジスタと、

前記セルトランジスタの前記浮遊ゲートの両側に配置された第 1、第 2 の制御ゲートとを有し、

前記第 1、第 2 の制御ゲートにより前記浮遊ゲートを選択することを特徴とする不揮発性半導体記憶装置。

【請求項 2 6】 浮遊ゲート及びソース、ドレインを有し、隣接する前記ソース、ドレインが直列接続された複数のセルトランジスタと、

前記各セルトランジスタの前記浮遊ゲートの両側に配置された複数の制御ゲートと、

前記複数セルトランジスタの一端とビット線との間に接続された第 1 の選択ゲートと、

前記複数セルトランジスタの他端とソース線との間に接続された第 2 の選択ゲートと、

を具備し、

前記浮遊ゲートの両側の制御ゲートにより前記浮遊ゲートを選択することを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば浮遊ゲートを有する不揮発性半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

図 2 3 乃至図 2 5 は、従来の S T I (Shallow Trench Isolation) を用いた N A N D 型 E E P R O M を示している、図 2 3 は平面図を示し、図 2 4 は図 2 3 の 2 4 - 2 4 線に沿った断面図を示し、図 2 5 は図 2 3 の 2 5 - 2 5 線に沿った断面図を示している。図 2 4 に示すように、シリコン基板上にトンネル絶縁膜としてのゲート絶縁膜 G I が形成され、その上に浮遊ゲート F G が形成されている。浮遊ゲート F G は隣接するセル間で切断され、電氣的に絶縁されている。この浮遊ゲート F G を切断する構造を、スリットと呼ぶ。スリット内の浮遊ゲート F G の側壁及び浮遊ゲート F G 上部はゲート間絶縁膜 I G I で覆われている。トンネル絶縁膜及びゲート間絶縁膜で浮遊ゲート F G を覆うことにより、浮遊ゲート F G に長期間電荷を保持することが可能となる。さらに、ゲート間絶縁膜の上に制御ゲート C G が形成されている。制御ゲート C G は、通常多数のセルトランジスタで共有され、同時に多数のセルトランジスタを駆動する機能を有し、ワード線 W L と表記する。

【0 0 0 3】

一方、図 2 5 に示す断面方向は、通常ビット線 B L 方向と表記される。ビット線 B L 方向では、図 2 5 に示すように、図 2 4 で示したスタックゲート構造が基板上に並んだ構造となる。各セルトランジスタは、レジストあるいは加工マスク層を用いて自己整合的に加工される。選択ゲートを介して複数のセルが直列接続される N A N D 型メモリでは、隣接するセル間でそれぞれのソースとドレインが共有され、セル面積の縮小が図られている。また、各ワード線 W L の相互間は微細加工の最小寸法で加工されている。

【0 0 0 4】

浮遊ゲート F G への電子の注入は、制御ゲート C G に高い書き込み電位を与え、基板をグランドに接地することにより行われる。セルトランジスタの微細化に伴い隣接セル間及び浮遊ゲート F G と周辺構造との寄生容量が増大している。このため、セルトランジスタの書き込み電圧は、書き込み速度の高速化を図るために高電圧化する傾向にある。書き込み電圧の上昇は、制御ゲート C G 間の絶縁耐圧の確保及び、ワード線駆動回路の高耐圧化が必要である。このため、メモリ素

子の高密度化／高速化にとって大きな問題となる。

【0005】

図24及び図25の構造から書き込み時の電位を概算する。制御ゲートCGと浮遊ゲートFG間、及び浮遊ゲートFGと基板間は、それぞれゲート絶縁膜、トンネル絶縁膜を挟んだキャパシタとみなすことができる。このため、制御ゲートCGからみたメモリセルは2つのキャパシタが直列に接続された構造と等価である。

【0006】

図26は、制御ゲートCGと浮遊ゲートFG間のキャパシタ容量を C_{ip} 、浮遊ゲートFGと基板間のキャパシタ容量を C_{tox} とした場合の等価回路を示している。制御ゲートCGに書き込み用高電位（ $V_{pgm}=V_{cg}$ ）を与えたときの浮遊ゲートFGの電位 V_{fg} は、 C_{ip} と C_{tox} との容量結合により決定され、次の式で概算される。

【0007】

$$V_{fg}=C_r \times (V_{cg}-V_t+V_{t0})$$

$$C_r=C_{ip}/(C_{ip}+C_{tox})$$

上式において、 V_t はセルトランジスタの閾値電圧、 V_{t0} は浮遊ゲートFGに電荷が全く入っていない場合の閾値電圧（中性閾値電圧）を表している。

【0008】

浮遊ゲートFGの電位 V_{fg} が大きいほどトンネル絶縁膜には高電界がかかり、浮遊ゲートFGへの電子の注入が起こり易くなる。上式より、 V_{cg} を一定とした場合において、 V_{fg} を大きくするためには、容量比（ C_r ）を大きくすれば良いことが分かる。すなわち、書き込み電位を低減するためには、 C_{ip} を C_{tox} に対して大きくすることが必要である。

【0009】

キャパシタの容量は、電極間に設けられた薄膜の誘電率及び対向電極の面積に比例し、対向電極間の距離に反比例する。書き込み／消去のため電荷を通過させるトンネル絶縁膜にリーク電流が流れると書き込み／消去を阻害する。このため、 C_{ip} を増大させるためには通常ゲート絶縁膜と浮遊ゲートFG、制御ゲートC

Gとの接触面積を増大させる手法が用いられている。例えば、スリット幅を抑制して浮遊ゲートFG上面の幅（図24に示す寸法1a）を大きくする。あるいは、浮遊ゲートFGの膜厚を厚くして浮遊ゲートFGの側壁の長さ（図24に示す寸法1b）を伸ばすといった技術が開発されている。しかし、その結果、ゲートや配線材と比較してスリット加工寸法を極端に微細化する必要があり、且つ、浮遊ゲートFGの厚膜化によりゲートの加工難易度が増大している。さらに、微細化に伴い、ワード線WLの相互間で対向するFG-FG間の寄生容量が増大する。このように、容量比を維持することはセルトランジスタの微細化に対して大きな阻害要因となってきている。

【0010】

そこで、浮遊ゲートFGや制御ゲートCGの構成を変えることにより、書き込み電圧を低電圧化する技術が考えられている。

【0011】

例えば、ブースタプレートと浮遊ゲート間の容量を増大させ、低電圧で書き込み／消去／読み出し動作が可能なNAND型EEPROMが開発されている（例えば、特許文献1）。

【0012】

また、浮遊ゲートと制御ゲートとのカップリング比を大きくし、書き込み電圧を低減させ、素子の微細化を図った不揮発性記憶素子が開発されている（例えば、特許文献2）。

【0013】

さらに、制御ゲートの両側壁に浮遊ゲートを形成し、書き込み、消去、読み出し特性を向上させたMOSFETを記憶素子とする不揮発性半導体記憶装置が開発されている（例えば、特許文献3）。

【0014】

また、浮遊ゲートに隣接してアシストゲートを配置したAG-ANDメモリセルが開発されている（例えば、非特許文献1）。

【0015】

【特許文献1】

特開平 11-145429 号公報

【0016】

【特許文献 2】

特開 2002-217318 号公報

【0017】

【特許文献 3】

特開 2002-50703 号公報

【0018】

【非特許文献 1】

2002 IEEE, 952-IEDM, 21.6.1, 10-MB/s Multi-Level Programming of Gb-Scale Flash Memory Enabled by New AG-AND Cell Technology

【0019】

【発明が解決しようとする課題】

しかし、上記従来の技術によっても、浮遊ゲート周辺の寄生容量を削減するとともに、制御ゲートと浮遊ゲート間の容量を増大することが困難であり、書き込み電圧を低減し、高集積化、高速化を図ることが困難であった。

【0020】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、書き込み電圧を低減でき、高集積化、高速化が可能な不揮発性半導体記憶装置を提供しようとするものである。

【0021】

【課題を解決するための手段】

本発明の不揮発性半導体記憶装置は、上記課題を解決するため、半導体基板上にゲート絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲートの両側に位置する前記半導体基板内に形成されたソース又はドレイン領域としての拡散層と、前記浮遊ゲートの両側に形成され、前記浮遊ゲートを駆動する第 1、第 2 の制御ゲートと、前記制御ゲートと前記浮遊ゲート及び前記拡散層を絶縁するゲート間絶縁膜とを具備している。

【0022】

また、本発明の不揮発性半導体記憶装置は、半導体基板に形成された溝と、前記溝の底部に第1のゲート絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲートの両側に対応する前記半導体基板内に形成されたソース又はドレイン領域としての拡散層と、前記両拡散層に対応した前記浮遊ゲートの両側壁にゲート間絶縁膜を介して形成され、前記浮遊ゲートを駆動する第1、第2の制御ゲートとを具備している。

【0023】

さらに、本発明の不揮発性半導体記憶装置は、半導体基板の上方に形成された浮遊ゲートと、前記浮遊ゲートの両側に浮遊ゲート及び前記半導体基板から絶縁して形成された第1、第2の制御ゲートと、前記半導体基板と前記浮遊ゲートとの間の第1の容量と、前記第1の制御ゲートと前記浮遊ゲートとの間の第2の容量と、前記第2の制御ゲートと前記浮遊ゲートとの間の第3の容量と、前記第1の制御ゲートと前記半導体基板との間の第4の容量と、前記第2の制御ゲートと前記半導体基板との間の第5の容量とを具備している。

【0024】

また、本発明の不揮発性半導体記憶装置は、浮遊ゲート及びソース、ドレインを有するセルトランジスタと、前記セルトランジスタの前記浮遊ゲートの両側に配置された第1、第2の制御ゲートとを有し、前記第1、第2の制御ゲートにより前記浮遊ゲートを選択することを特徴とする。

【0025】

さらに、本発明の不揮発性半導体記憶装置は、浮遊ゲート及びソース、ドレインを有し、隣接する前記ソース、ドレインが直列接続された複数のセルトランジスタと、前記各セルトランジスタの前記浮遊ゲートの両側に配置された複数の制御ゲートと、前記複数セルトランジスタの一端とビット線との間に接続された第1の選択ゲートと、前記複数セルトランジスタの他端とソース線との間に接続された第2の選択ゲートとを具備し、前記浮遊ゲートの両側の制御ゲートにより前記浮遊ゲートを選択することを特徴とする。

【0026】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0027】

(第1の実施形態)

図1、図2(a)乃至(c)は、第1の実施形態のセルを示している。図1は、セルの平面図を示し、図2(a)は図1の2a-2a線に沿った断面図、図2(b)は図1の2b-2b線に沿った断面図、図2(c)は図1の2c-2c線に沿った断面図を示している。

【0028】

第1の実施形態に係るセルは、図2(a)に示すように、浮遊ゲートFGの両側にゲート間絶縁膜IGIを介して制御ゲートCGが形成されている。これら制御ゲートCGは、浮遊ゲートFGの両側の基板11内に形成された拡散層からなるソース/ドレイン領域(S/D)の上方に形成されている。すなわち、これら制御ゲートCGは、ゲート間絶縁膜IGIを介して浮遊ゲートFGの両側壁及び拡散層に接している。従来のセルは、1つの制御ゲートCGにより1つの浮遊ゲートFGを駆動していた。これに対して、第1の実施形態のセルは、浮遊ゲートFGの両側に位置する2つの制御ゲートCGにより駆動される。

【0029】

図3は、第1の実施形態のセルの等価回路を示している。ここで、 C_{ip} は制御ゲートCGと浮遊ゲートFG間の容量、 C_{ip_ext} は制御ゲートCGと基板間の容量、 C_{tox} は浮遊ゲートFGと基板間の容量である。この等価回路において、1つの浮遊ゲートFGに隣接する2つの制御ゲートCGが同電位(V_{cg})であったとすると、浮遊ゲートの電位 V_{fg} を決定する容量比(C_r)は、次式で概算される。

【0030】

$$C_r = C_{ip} / (C_{ip} + C_{tox})$$

$$= (2 \cdot \epsilon_{ip} \cdot W \cdot T_{fg} / T_{ip}) / ((2 \cdot \epsilon_{ip} \cdot W \cdot T_{fg} / T_{ip}) + \epsilon_{tox} \cdot W \cdot L / T_{tox})$$

ここで、 ϵ_{ip} :ゲート間絶縁膜の誘電率、 ϵ_{tox} :トンネル絶縁膜の誘電率

、 W ：セルトランジスタのチャネル幅、 L ：セルトランジスタのゲート長、 T_{fg} ： FG 膜厚、 T_{tox} ：トンネル絶縁膜の膜厚、 T_{ip} ：ゲート間絶縁膜の膜厚

上記式より、本実施形態のセルトランジスタは、最小加工寸法となるべきトランジスタのチャネル幅やゲート長を変えなくとも、浮遊ゲートの膜厚 T_{fg} を大きくすることにより、 C_r を大きくすることが可能であることが分かる。これは、セルを微細化しても、容量比を改善することができることを意味する。

【0031】

また、図2(a)に示すように、2つの浮遊ゲート FG の間のスペースは、制御ゲート CG によりほぼ完全に埋め込まれている。このため、従来のセルで問題となっていたワード線 WL 方向に隣接する浮遊ゲート FG 相互間の結合容量、及び、セルトランジスタのソース／ドレイン領域が形成される基板と浮遊ゲート FG とのフリンジ容量の2つの寄生容量が殆んど遮蔽されている。

【0032】

以上のことから、第1の実施形態のセルは、寄生容量の増加を考慮することなく、浮遊ゲート FG の膜厚を厚くすることにより、容量比を確保することができる。その結果、セルトランジスタのゲート長や、チャネル幅などを微細化しても容量比を増大させることができる。しかも、容量比を増大できるため、書き込み電圧を低化することができる。したがって、第1の実施形態によれば、セルの微細化と書き込み電圧の低化とを同時に満たすことが可能である。

【0033】

図4乃至図5は、第1の実施形態に係るセルの製造方法を示している。

【0034】

まず、図4(a)に示すように、シリコン基板11上に例えばシリコン酸化膜からなるトンネル絶縁膜12が形成される。このトンネル絶縁膜12の上に浮遊ゲートとなる例えばポリシリコン層13、マスク層14が順次形成される。このマスク層14は、例えばシリコン酸化膜、又はシリコン窒化膜が適用される。このマスク層14は、ポリシリコン層13をエッチングする際、ポリシリコン層13と選択比が得られることが最低条件である。しかし、後述する STI を形成する際の CMP (Chemical Mechanical Polishing) 工程においては、埋め込み用

絶縁膜と選択比が得られ、制御ゲートを形成する際のCMP工程においては制御ゲートとの選択比が得られることがより望ましい。

【0035】

図4（b）に示すように、マスク層14はリソグラフィ工程と選択エッチング工程によりパターンニングされる。このパターンニングされたマスク層14を用いてポリシリコン層13、トンネル絶縁膜12、基板11が順にエッチングされ、素子分離用の浅い溝15が形成される。

【0036】

この後、図4（c）に示すように、全面に例えばシリコン酸化膜からなる絶縁膜16が、例えばCVD (Chemical Vapor Deposition)により形成され、基板11に形成された溝15が埋め込まれる。次いで、図4（d）に示すように、マスク層14をストッパーとして、CMP工程により絶縁膜16がマスク層14まで研磨され、STIが形成される。

【0037】

続いて、図4（e）に示すように、リソグラフィ工程と選択エッチング工程が順次行なわれ、絶縁膜14、16、及びポリシリコン層13がエッチングされる。この結果、制御ゲート（ワード線WL）を形成するための溝17と浮遊ゲートFGが形成される。この時、制御ゲートが形成される部分は基板11が露出するまでエッチングされ、STI部分はエッチングがトンネル絶縁膜12の上方で止まっていることが必要である。すなわち、STI部分のエッチングは、基板11の上面より絶縁特性に必要な膜厚を有する高さで停止していることが望ましい。この後、適当な熱工程あるいは絶縁膜形成工程が順次行なわれる。さらに、浮遊ゲートFG及びマスク層14をマスクとして基板11内に不純物イオンが注入され、セルトランジスタのソース／ドレイン領域（S/D）となる拡散層が形成される。

【0038】

この後、図4（f）に示すように、全面にゲート間絶縁膜IGI、制御ゲートCGが順次形成される。ゲート間絶縁膜IGIは、浮遊ゲートFGの両側壁と溝17の底面、すなわち、ソース／ドレイン領域（S/D）に接触している。ゲ-

ト間絶縁膜 I G I は、トンネル絶縁膜 G I より厚膜である。このゲート間絶縁膜 I G I は、例えばアルミニウム酸化物、ハフニウム酸化物、シリコン酸化物、シリコン窒化物、ジルコニア酸化物のいずれか 1 つあるいは、これらの少なくとも 2 つの積層膜により形成される。

【 0 0 3 9 】

この後、図 5 (a) に示すように、CMP により制御ゲート C G がマスク層 1 4 まで研磨される。さらに、図 5 (b) に示すように、全面に金属薄膜を形成して加熱処理し、マスク層 1 4 をサリサイド反応の制御膜として使用することにより、制御ゲート C G の上部のみに金属サリサイド層が形成される。このようにして、金属サリサイド層からなるワード線が形成される。

【 0 0 4 0 】

なお、制御ゲート C G はサリサイド層として説明したが、本実施形態において、制御ゲート C G は浮遊ゲート F G に対して自己整合的に形成されるため、制御ゲート C G 上面に金属配線を形成することも可能である。さらに、制御ゲート C G 自体を金属材料で形成することももちろん可能である。このような態様に対応して、制御ゲート C G には、次のような材用を適用できる。

【 0 0 4 1 】

サリサイド構造に適用される金属材料としては、例えばチタン、コバルトあるいはニッケルがある。また、制御ゲート C G 自体を金属材料とする場合、例えばチタン、タングステン、タングステン窒化物、チタン窒化物のいずれか 1 つあるいは少なくとも 2 つの積層膜を適用することが可能である。

【 0 0 4 2 】

本実施形態において、制御ゲート C G はゲート間絶縁膜 I G I を介して浮遊ゲート F G の両側面に形成されている。このため、浮遊ゲート F G と制御ゲート C G の容量結合が従来に比較して増加している。したがって、制御ゲート C G の配線は抵抗値が十分低い材料とする必要がある。

【 0 0 4 3 】

上記ゲート間絶縁膜 I G I の形成時に、絶縁膜の形成とエッチバック工程とを適切に組み合わせることにより、浮遊ゲート F G 側壁のゲート間絶縁膜厚に対し

、制御ゲートCGの底部に位置する絶縁膜の膜厚を厚くし、制御ゲートCGと基板間の絶縁耐圧を補強することも可能である。

【0044】

図6は、ゲート間絶縁膜IGIの変形例を示すものであり、ゲート間絶縁膜IGIを積層膜であるONO膜により形成した場合の断面図を示している。この場合、図4(e)に示すように、トンネル絶縁膜GIをエッチングして溝17を形成した後、溝17内にシリコン酸化膜21、シリコン窒化膜22を積層形成する。この後、これらの膜をエッチバックし、制御ゲート形成部のみ基板11を露出させる。この後、適当な膜厚のシリコン酸化膜を形成する。浮遊ゲートFG側壁はシリコン窒化膜22で被覆されている。このため、シリコン酸化膜23の形成が抑制される。しかし、溝の低部には例えばトンネル絶縁膜GIより厚い膜厚のシリコン酸化膜24が形成される。その後、浮遊ゲートFGの側壁にさらにシリコン酸化膜を積層形成させても良い。

【0045】

上記プロセスは、ONO膜以外のゲート間絶縁膜の場合でも使用することが可能である。例えばゲート間絶縁膜IGIとしてアルミニウム酸化膜を含む単層あるいは積層膜を用い、制御ゲートCGの底部に形成される絶縁膜としてシリコン酸化膜を用いる場合など、成膜速度やエッチング速度が異なる絶縁膜を適切に組み合わせることも可能である。

【0046】

上記第1の実施形態によれば、1つの浮遊ゲートFGの両側壁にゲート間絶縁膜IGIを介して制御ゲートCGが接している。このため、セルトランジスタのチャネル幅やゲート長を変えることなく、浮遊ゲートFGの膜厚を大きくすることにより、容量比を増大することが可能である。しかも、浮遊ゲートの相互間に制御ゲートを配置することにより、浮遊ゲート周辺の寄生容量を低減できる。したがって、セルの微細化と書き込み電圧の低電圧化とを実現することができる。

【0047】

(第2の実施形態)

図7、図8は、第2の実施形態を示すものである。図7は第2の実施形態に係

るセルの平面図、図 8 (a) は図 7 の 8 a - 8 a 線に沿った断面図、図 8 (b) は図 7 の 8 b - 8 b 線に沿った断面図、図 8 (c) は図 7 の 8 c - 8 c 線に沿った断面図である。

【 0 0 4 8 】

第 2 の実施形態も第 1 の実施形態と同様に、1 つの浮遊ゲート F G の両側面に制御ゲート C G が形成され、2 つの制御ゲート C G により浮遊ゲート F G を制御する。

【 0 0 4 9 】

第 2 の実施形態は、図 8 (a) に示すように、セルトランジスタのチャネル部 C H を基板 1 1 内のソース／ドレイン領域 (S / D) としての拡散層よりも深い位置に形成している。このため、第 1 の実施形態と異なり、制御ゲート C G を形成した後、浮遊ゲート F G を形成する。この結果、基板 1 1 内におけるチャネル部 C H の深さを適切に設定することにより、ソース／ドレイン領域 (S / D) の不純物の拡散によるショートチャネル効果を低減することが可能である。

【 0 0 5 0 】

また、第 2 の実施形態は、浮遊ゲート F G を形成するために基板をエッチングして溝を形成し、この後、エッチングされた溝の側壁にゲート間絶縁膜 I G I を形成する。ゲート間絶縁膜 I G I の膜厚は、その目的上、トンネル絶縁膜 (第 1 のゲート絶縁膜) G I の膜厚より厚くなる。このため、トンネル電流が流れるのは浮遊ゲート F G の底部に位置するトンネル絶縁膜 G I に限定される。したがって、結晶方位の異なるシリコン基板 1 1 の側壁や浮遊ゲート F G の底部の角部にトンネル電流が流れることを回避できる。

【 0 0 5 1 】

図 9 は、第 2 の実施形態に係るセルの製造プロセスを示している。

【 0 0 5 2 】

先ず、図 9 (a) に示すように、シリコン基板 1 1 上にセルトランジスタのソース／ドレインとなる拡散層 3 1 を形成後、例えばシリコン酸化膜 (第 2 のゲート絶縁膜) 3 0、制御ゲート C G となるポリシリコン層 1 3、例えばシリコン窒化膜からなるマスク層 1 4 が順次形成される。このマスク層 1 4 の材料は、第 1

の実施形態と同様の条件により定められる。

【0053】

図9（b）に示すように、上記マスク層14はリソグラフィ工程と選択エッチング工程によりパターンニングされ、このパターンニングされたマスク層14を用いてポリシリコン層13、制御ゲート絶縁膜としてのシリコン酸化膜30、基板11が順にエッチングされ、素子分離用の浅い溝15が形成される。

【0054】

その後、図9（c）に示すように、全面に例えばシリコン酸化膜からなる絶縁膜16がCVDにより形成され、溝15が埋め込まれる。次いで、図9（d）に示すように、前記マスク層14をストッパとして、絶縁膜16がCMPにより研磨され、STIが形成される。

【0055】

続いて、図9（e）に示すように、リソグラフィ工程と選択エッチング工程を用いて、浮遊ゲートFG形成部分のマスク層14、ポリシリコン層13、制御ゲート絶縁膜30、及び基板11がエッチングされ、浮遊ゲートFGを形成するための溝32が形成される。この溝32は、ソース／ドレイン領域（S/D）としての拡散層31より深く形成される。また、このエッチングにより、溝32の相互間に制御ゲートCGが形成される。さらに、この時、STI部分は選択エッチングにより埋め込み絶縁膜がほとんどエッチングされないことが望ましい。

【0056】

この後、熱処理を行った後、図9（f）に示すように、溝32内にゲート間絶縁膜IGIが形成される。続いて、溝32底部のゲート間絶縁膜IGIが除去された後、基板11内に不純物イオンが注入され、セルトランジスタのチャネルプロファイルが制御される。尚、セル形成領域のウェルのプロファイルと溝32の深さによって、セルトランジスタの閾値電圧を調整することにより、チャネルプロファイルの調整工程を省略すること可能である。次いで、溝32の底部にトンネル絶縁膜GIが形成される。前記制御ゲート絶縁膜30の膜厚は、ゲート間絶縁膜IGIと等しいかそれ以上の膜厚とされている。

【0057】

その後、図10(a)に示すように、浮遊ゲートFGとなる配線材を全面に積層し、これをエッチバックすることにより、溝32内に浮遊ゲートFGを形成する。エッチバック後の浮遊ゲートFG上面は、制御ゲートCGの上面から、適切な絶縁耐性が得られる距離まで離れた位置に制御されることが望ましい。このとき、浮遊ゲートFGの高さの制御性を向上させるため、例えばマスク層14をストッパとして浮遊ゲートFGとなる配線材をCMPにより研磨し、この後、配線材をエッチバックすることも可能である。

【0058】

続いて、図10(b)に示すように、浮遊ゲートFGを絶縁するために図示せぬ絶縁膜を全面に形成した後、CMP工程を行い制御ゲートCGのみを露出させる。

【0059】

その後、図10(c)に示すように、選択エッチバック工程により制御ゲートCG上面の高さを下げ、絶縁膜33を全面に形成する。この絶縁膜33は、例えばシリコン窒化物単層あるいはシリコン窒化物を含む積層膜により形成される。この後、絶縁膜33をエッチバックする。さらに、制御ゲートCGの上面に位置する絶縁膜33に制御ゲートCGの幅より狭い開口部34を形成する。ここで形成する絶縁膜33は、隣接する制御ゲートCGとの耐圧を十分確保するために適切な膜厚に設定されることが望ましい。その後、ワード線WLを形成するためのリソグラフィ工程と選択エッチング工程が行なわれ、制御ゲートCGに接続されたワード線WLが形成される。

【0060】

具体的には、例えば金属膜を全面形成した後、この金属膜を選択エッチングすることによりワード線WLを形成する方法。あるいは、全面に絶縁膜を形成した後、この絶縁膜に溝を形成し、この溝内に金属膜を埋め込み、この金属膜をCMPによって平坦化し、溝内にワード線WLを形成する方法。その他、通常の配線を形成する手法を用いることが可能である。

【0061】

ワード線WLを形成するためのリソグラフィ工程において、合せズレが発生す

ることが考えられる。しかし、制御ゲートCGの上面に自己整合的に設けた開口部34により、隣接ワード線WL間での耐圧を十分に確保することが可能である。また、制御ゲートCGと上記配線材との接触抵抗を低減するため、上記配線形成前に制御ゲートCGのサリサイド工程を行うことも可能である。図10(c)に、CMPによってWLを形成した場合の断面図を示している。図10(c)では制御ゲートCGサリサイド工程は行っていない。

【0062】

図11は、第2の実施形態の変形例を示している。この変形例は、広いゲート制御領域が必要な場合の製法を示している。図9(e)に示す工程において、制御ゲートCGとしてのポリシリコン層13と絶縁膜12をエッチングし、図11に示すより浅い溝41を形成した後、この溝41の側壁にゲート間絶縁膜IGIを形成する。これにより、制御ゲートCGの側壁部にのみゲート間絶縁膜IGIを形成することが可能である。その後、基板11をさらにエッチングし、溝41に連続する溝41aを形成する。この溝41aの側壁及び底部にトンネル絶縁膜(第1のゲート絶縁膜)GIを形成する。このようにして、浮遊ゲートFGの下部全てがトンネル絶縁膜GIと接した広いゲート制御領域を形成することができる。

【0063】

図12は、図11に示す構成をさらに変形した例を示すものであり、図11と同一部分には同一符号を付している。図12に示す変形例は、絶縁膜の形成工程とエッチバック工程とを適切に組み合わせることにより、浮遊ゲートFGの底部に位置する絶縁膜と側部に位置する絶縁膜の膜厚を相違させている。すなわち、この変形例において、浮遊ゲートFGの底部に位置する絶縁膜(第1のゲート絶縁膜)GIaの膜厚を側部に位置する絶縁膜(第3のゲート絶縁膜)GIbの膜厚より薄くしている。ゲート間絶縁膜IGIの膜厚をT1、絶縁膜GIbの膜厚をT2、絶縁膜GIaの膜厚をT3とした場合、これらの関係は $T1 > T2 > T3$ となる。このように、トンネル電流が流れる領域GIaと、トンネル電流が流れない領域GIbの膜厚を所望の値に設定することも可能である。

【0064】

上記第2の実施形態によれば、浮遊ゲートFGの底部を制御ゲートCGの底部より下方に位置させ、セルトランジスタのチャネル部CHを基板11内のソース／ドレイン領域(S/D)よりも深い位置に形成している。このため、ソース／ドレイン領域(S/D)の不純物の拡散によるショートチャネル効果を低減することができる。

【0065】

また、図11に示すように、浮遊ゲートFGの側壁及び底部の全てをトンネル絶縁膜GIに接触させることにより、広いゲート制御領域を形成することができる。したがって、浮遊ゲートFGに対する電荷の移動量を向上できる。

【0066】

さらに、図12に示すように、浮遊ゲートFGの底部に位置する絶縁膜GIaの膜厚を、側部に位置する絶縁膜GIbの膜厚より薄くすることにより、浮遊ゲートFGの底部に位置するトンネル絶縁膜GIaにのみトンネル電流を流すことができる。このため、結晶方位の異なるシリコン基板11の側壁や浮遊ゲートFGの底部角部にトンネル電流が流れることを回避できる。

【0067】

(第3の実施形態)

第3の実施形態は、第1、第2の実施形態で説明した構成のセルを用いたNAND型EEPROMの動作について説明する。

【0068】

まず、図13、図14を参照して従来のNAND型EEPROMについて説明する。図13はNAND型EEPROMの回路構成を示し、図14は、上記NAND型EEPROMにおいて、メモリセルにデータを書き込む場合の電位の一例を示している。図13と図14において同一部分には同一符号を付している。

【0069】

NAND型EEPROMは、隣接する複数のメモリセルMCとしてのセルトランジスタ、及び選択ゲートST1、ST2のソースとドレインを直列接続して構成されている。各選択ゲートST1はビット線BLk-1、BLk、BLk+1に接続され、各選択ゲートST2は共通ソース線SRCに接続されている。この

構成において、例えば図13に示すビット線BLkを書き込みビット線、BLk+1、BLk-1を書き込み抑制ビット線とする。

【0070】

データの書き込み時、ビット線側の選択ゲート線SG1に所定のゲート電位Vsgが印加される。次に、書き込みを行うビット線に十分低い電位VBLpgmが供給される。ゲート電位Vsgは、VBLpgmに対して選択ゲートST1を十分オンできる電位に設定する。一方、書き込みを抑制するビット線BLk+1、BLk-1には、十分高い電位VBLinhibitを供給する。VBLinhibitは、選択ゲートST1が十分オフする電位に設定する。ビット線にVBLpgmが供給されたセルトランジスタは、選択ゲートST1がオンしてVBLpgmがセルトランジスタに伝えられる。このため、セルトランジスタのチャネル電位が十分低下して書き込みが行われる。

【0071】

一方、ビット線にVBLinhibitが供給されたセルトランジスタは選択ゲートST1がオフする。このため、セルトランジスタのチャネル電位は、制御ゲートCGとの容量結合により上昇し書き込みは行われない。この状態が書き込み抑制状態である。

【0072】

従来のEEPROMは、データの書き込み時に、選択ワード線WLに書き込み電位Vpgmを与えてセルに書き込みを行う動作、及び非選択ワード線WLに転送電位Vpassを与えてチャネルを形成する動作のいずれも制御ゲートCGと浮遊ゲートFGの容量結合を利用している。さらに、書き込み抑制状態の場合、Vpassは制御ゲートCGと浮遊ゲートFGの容量結合を利用してチャネル電位を昇圧するためにも用いられている。書き込み抑制状態において、誤って書き込まれてしまう不良（誤書き込み不良）を防止するため、チャネル電位をより高く昇圧することが必要である。一方、チャネルの電位を昇圧するためにVpassを増大させると、Vpass自身により、誤書き込み不良が発生してしまう。特に、書き込み状態のセルが存在し、チャネル電位が低くなっているNAND列に属するセルにおいて、その影響が最も厳しくなる。そのため、Vpassを上昇させずにチャネル電位

のみを昇圧することが最も望ましい。

【 0 0 7 3 】

図 1 5 は、上記第 1、第 2 の実施形態に係るセルを用いた NAND 型 EEPROM の回路図を示し、図 1 6 は、本実施形態において、データ書き込みを行う場合の電位の一例を示している。

【 0 0 7 4 】

本実施形態において、NAND 型 EEPROM は、隣接する複数のメモリセル MC としてのセルトランジスタ、及び選択ゲート ST 1、ST 2 のソースとドレインを直列接続して構成されている。また、2 つの制御ゲート CG の間に浮遊ゲート FG が配置されている。すなわち、1 つの浮遊ゲート FG は 2 つの制御ゲート CG を共有し、2 つの制御ゲート CG により 1 つの浮遊ゲート FG が選択される。

【 0 0 7 5 】

図 1 6、図 1 7 に示すように、本実施形態において、書き込み時、1 つの浮遊ゲート FG に隣接する 2 つの制御ゲート CG に、例えば同一の書き込み電圧 V_{pgm} が印加され、基板が例えば 0 V に設定される。この状態において、基板から浮遊ゲート FG に電荷が注入される。

【 0 0 7 6 】

第 1 の実施形態に示したように、本発明を用いると微細化に関わらず容量比を増大することができ、従来と比べ V_{pgm} を低減することができる。一方、書き込み抑制状態の場合は、図 3 に示すように、本実施形態において、制御ゲート CG は浮遊ゲート FG だけではなく、拡散層とも容量 C_{ip_ext} を介して結合している。このため、従来は制御ゲート CG と浮遊ゲート FG 間の容量結合のみでチャネル電位を昇圧していたのに対し、第 3 の実施形態によれば、制御ゲート CG と浮遊ゲート FG との容量結合、及び制御ゲート CG と拡散層との容量結合でもチャネル電位を昇圧させることが可能である。したがって、従来と同じ V_{pass} 電位を用いても、チャネル電位をより高く昇圧することが可能である。

【 0 0 7 7 】

したがって、本実施形態によれば、 V_{pass} 自身によるストレスを増大させずに

書き込み抑制時のチャネル電位を昇圧することが可能である。

【 0 0 7 8 】

(第 4 の実施形態)

上記第 3 の実施形態では、2 つの制御ゲート CG に同一の電圧を供給して 1 つの浮遊ゲート FG を駆動した。これに対して、第 4 の実施形態は、2 つの制御ゲート CG に異なる電位を供給する場合について説明する。

【 0 0 7 9 】

図 1 8 は、一方の制御ゲート CG に V_{pgm} 、他方の制御ゲート CG に 0 V を供給した場合を示している。C_{ip} と C_{tox} の容量比を 1.5 : 1 と仮定し、浮遊ゲート FG の電荷が全く注入されていない中性の閾値電圧、及び現在の閾値電圧は 0 V とする。図 1 7 に示す場合、浮遊ゲート FG の電位 V_{fg} は次のようになる。

【 0 0 8 0 】

$$\begin{aligned} V_{fg} &= V_{pgm} * 2 * C_{ip} / (2 * C_{ip} + C_{tox}) \\ &= 0.75 * V_{pgm} \end{aligned}$$

これに対して、図 1 8 に示す場合、浮遊ゲート FG の電位 V_{fg} は、次のようになる。

【 0 0 8 1 】

$$\begin{aligned} V_{fg} &= V_{pgm} * C_{ip} / (2 * C_{ip} + C_{tox}) \\ &= 0.375 * V_{pgm} \end{aligned}$$

このように、2 つの制御ゲート CG のうち、片方の電位を変化させることにより、容量比を大幅に制御することが可能である。

【 0 0 8 2 】

図 1 9 は、上記特性を利用したデータ書き込みの例を示している。図 1 9 において、書き込みセルの両側の制御ゲート CG 4、CG 5 には V_{pgm} が印加されている。上記仮定を用いると、浮遊ゲート FG 4 5 には $0.75 * V_{pgm}$ の電位が印加されている。また、書き込みセルに隣接している 2 つの制御ゲート CG のさらに隣の制御ゲート CG 3 には、0 V が印加されている。このため、書き込みセルに隣接しているセルの浮遊ゲート FG 3 4 には、 $0.375 * V_{pgm}$ の電位が印加されている。したがって、浮遊ゲート FG 3 4 による隣接セルへの電界スト

レスは、選択セルの浮遊ゲートFG45に比べて1/2となり、誤書き込みを抑制することが可能である。上記セルからさらに離れた制御ゲートCG2には、電位の転送、あるいはチャネル電位を昇圧するための所定の電位V_{pass}が印加されている。実際のデバイス動作時には、書き込み特性、チャネル昇圧特性、電位転送特性などを考慮し、制御ゲートCGの電位が適切に組み合わせられる。

【0083】

上記第4の実施形態によれば、1つの浮遊ゲートFGに隣接する2つの制御ゲートCGの電位を適宜組み合わせることにより、書き込み特性を向上でき、誤書き込みを回避できる。

【0084】

(第5の実施形態)

図20は、第5の実施形態を示すものであり、データ消去を行う場合の電位を示している。データ消去を行う場合、セルトランジスタが配置されている基板を消去電位V_{era}に昇圧する。これと同時に、コンタクト及び選択ゲートSGS、SGDは、破壊を防ぐため基板と同電位V_{era}に昇圧する。さらに、消去するセルに隣接する制御ゲートCG1, 2…に十分低い電位、例えば0Vを供給する。すると、浮遊ゲートFGから昇圧された基板へ電荷が引き抜かれ、データが消去される。

【0085】

なお、消去しないセルは、制御ゲートCGをフローティングとする。このようにすると、基板との容量結合により制御ゲートCGの電位が基板電位まで昇圧され、データの消去が抑制される。本実施形態では、データを消去する全てのセルの両側面を制御ゲートCGで囲むことにより、選択ゲートSGS、SGDなどによる影響は発生しない。

【0086】

また、選択ゲートSGS、SGDは、隣接する制御ゲートCGとの容量結合によって過度な電界がゲート絶縁膜に印加されないよう、適切なゲート寸法あるいは構造に設定されることが望ましい。

【0087】

上記第5の実施形態によれば、浮遊ゲートFGの両側に制御ゲートCGを配置したセル構造のメモリにおいて、確実にデータを消去できる。

【0088】

(第6の実施形態)

図21、図22は、第6の実施形態を示すものであり、データ読み出し時の電位を示している。図21において、読み出しセルの浮遊ゲートFG45に隣接する2つの制御ゲートCG4、CG5には、読み出し電圧 V_{wl} が供給される。読み出し電圧 V_{wl} は、書き込み特性、データ保持特性、セルトランジスタ閾値電圧の動作範囲などを考慮して適切な電位に設定されていることが望ましい。仮に読み出し電圧 $V_{wl}=0V$ と設定し、第4の実施形態において説明した仮定を用いると、読み出しセルの浮遊ゲートFG45には0Vの電位が与えられる。

【0089】

一方、読み出しセルに隣接する2つの制御ゲートCGのさらに隣の制御ゲートCG3には、セル電流を流すための電位 V_{read} が印加されている。 V_{read} は、読み出しセルに接続されている非選択セルの影響を除き、読み出しセルの閾値電圧を判定するために適切な電位に設定されていることが望ましい。

【0090】

本実施形態では、セルの両側面に配置された2つの制御ゲートCGの両方が、読み出し電圧 V_{wl} になったセルのみ閾値電圧が判定され、2つの制御ゲートCGの電位が上記と異なる組み合わせとなったセルは、記憶されたデータに拘わらずオン状態となるように設定されている。

【0091】

NAND型EEPROMの読み出しは、上述したように選択されたセル以外のセルトランジスタはオン状態としなければならない。十分なセル電流を得るためには、拡散層に十分な電荷を供給する必要がある。従来では、拡散層へ不純物を注入して電荷を供給してきた。しかし、セル電流の確保と不純物の拡散によるショートチャネル効果の劣化とは、微細化に伴い相反する問題として次第にクローズアップされていた。

【0092】

第 1 乃至第 6 の実施形態によれば、制御ゲート CG と拡散層との間に容量結合 Cip_ext が存在しているため、非選択制御ゲート CG に電位を供給することによって制御ゲート CG の下の拡散層の反転を補助することができる。したがって、読み出し時のみ、且つ制御ゲート CG の制御範囲のみに電荷を供給することが可能である。

【 0 0 9 3 】

図 2 2 は、上記効果を利用した場合の電位の一例を示している。制御ゲート CG と基板間に形成された絶縁膜の厚さと、読み出し時の非選択制御ゲート CG の電位は、次の条件を満足するように設定される。すなわち、拡散層への不純物の注入量を抑制し、セルトランジスタのショートチャネル効果の劣化を抑制すること、読み出し時に制御ゲート CG に適切な電位を与えて所望のセル電流が得られること、これらを同時に満足するように設定されることが望ましい。

【 0 0 9 4 】

なお、本発明は上記各実施形態に限定されるものではなく、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【 0 0 9 5 】

【発明の効果】

以上、詳述したように本発明によれば、浮遊ゲート周辺の寄生容量を削減でき、制御ゲートと浮遊ゲート間の容量を増大することにより、書き込み電圧を低減でき、高集積化、高速化が可能な不揮発性半導体記憶装置を提供できる。

【図面の簡単な説明】

【図 1】

図 1 は、第 1 の実施形態に係るセルを示す平面図。

【図 2】

図 2 (a) は図 1 の 2 a - 2 a 線に沿った断面図、図 2 (b) は図 1 の 2 b - 2 b 線に沿った断面図、図 2 (c) は図 1 の 2 c - 2 c 線に沿った断面図。

【図 3】

第 1 の実施形態に係るセルの等価回路図。

【図 4】

図 4 は、第 1 の実施形態に係るセルの製造方法を示す断面図。

【図 5】

図 5 は、図 4 に続く製造方法を示す断面図。

【図 6】

ゲート間絶縁膜の変形例を示す断面図。

【図 7】

第 2 の実施形態に係るセルの平面図。

【図 8】

図 8 (a) は図 7 の 8 a - 8 a 線に沿った断面図、図 8 (b) は図 7 の 8 b - 8 b 線に沿った断面図、図 8 (c) は図 7 の 8 c - 8 c 線に沿った断面図。

【図 9】

第 2 の実施形態に係るセルの製造方法を示す断面図。

【図 1 0】

図 9 に続く製造方法を示す断面図。

【図 1 1】

第 2 の実施形態の変形例を示す断面図。

【図 1 2】

図 1 1 に示す構成をさらに変形した例を示す断面図。

【図 1 3】

従来の NAND 型 E E P R O M を示す回路図。

【図 1 4】

図 1 4 に示すメモリセルにデータを書き込む場合の電位の一例を示す図。

【図 1 5】

第 1 、第 2 の実施形態に係るセルを用いた NAND 型 E E P R O M を示す回路図。

【図 1 6】

図 1 5 に示すメモリセルにデータを書き込む場合の電位の一例を示す図。

【図 1 7】

図 1 6 に示すメモリセルの書き込み時の電位設定の一例を示す等価回路図。

【図 1 8】

図 1 6 に示すメモリセルの書き込み時の電位設定の他の例を示す等価回路図。

【図 1 9】

図 1 7、図 1 8 に示す電位設定を用いたデータ書き込みの例を示す図。

【図 2 0】

第 5 の実施形態に係り、データ消去を行う場合の電位を示す図。

【図 2 1】

第 6 の実施形態に係り、データ読み出し時の電位を示す図。

【図 2 2】

第 6 の実施形態に係り、データ読み出し時の電位を示す図。

【図 2 3】

従来の不揮発性半導体記憶装置の一例を示す平面図。

【図 2 4】

図 2 3 の 2 4 - 2 4 線に沿った断面図。

【図 2 5】

図 2 3 の 2 5 - 2 5 線に沿った断面図。

【図 2 6】

図 2 3 の等価回路を示す図。

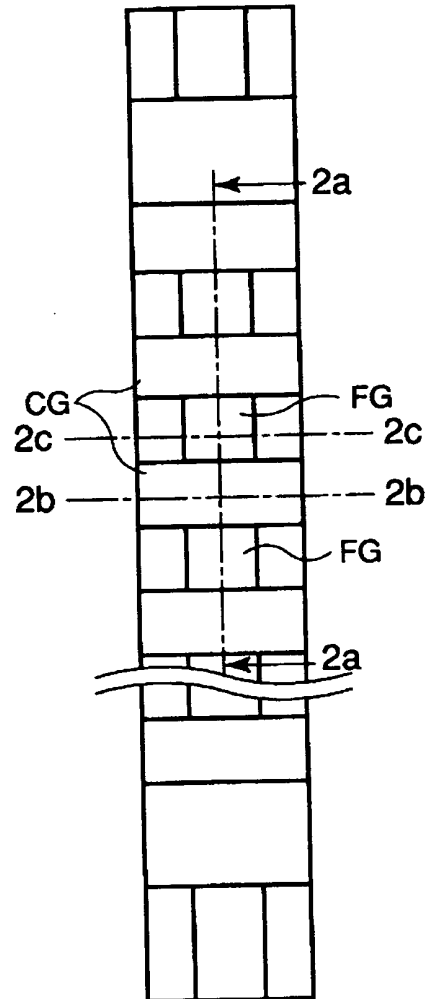
【符号の説明】

1 1 …シリコン基板、1 2、G I …トンネル絶縁膜（第 2 のゲート絶縁膜）、F G …浮遊ゲート、C G …制御ゲート、I G I …ゲート間絶縁膜、S / D …ソース / ドレイン領域、C H …チャネル領域、W L …ワード線、B L k - 1、B L、B L k + 1 …ビット線、1 7、3 2、4 1、4 1 a …溝。

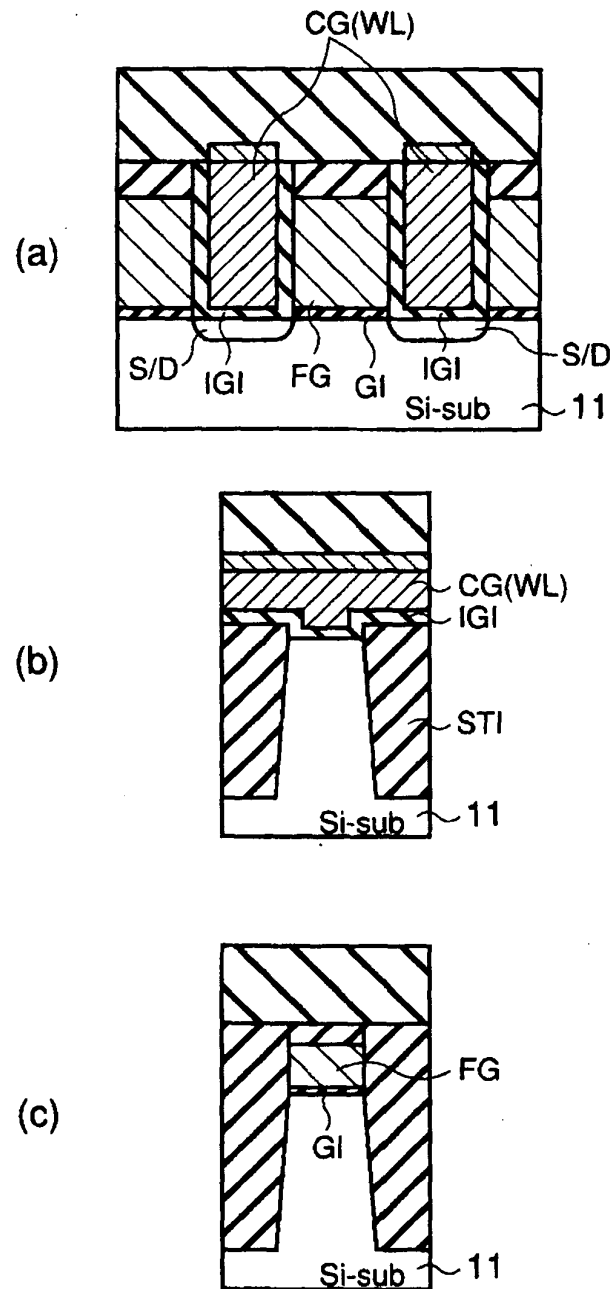
【書類名】

図面

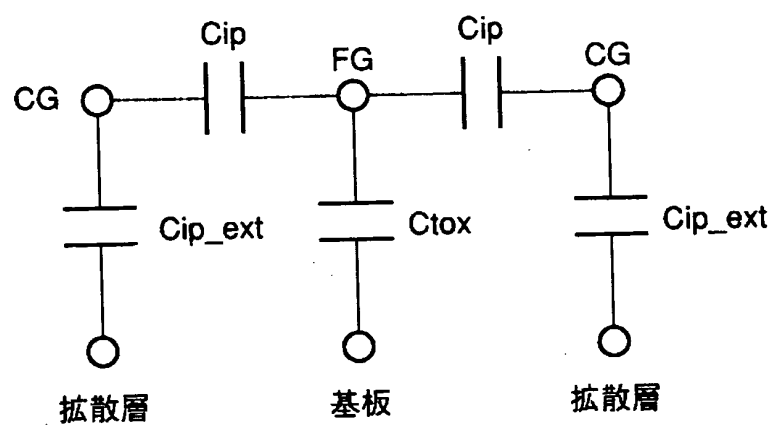
【図 1】



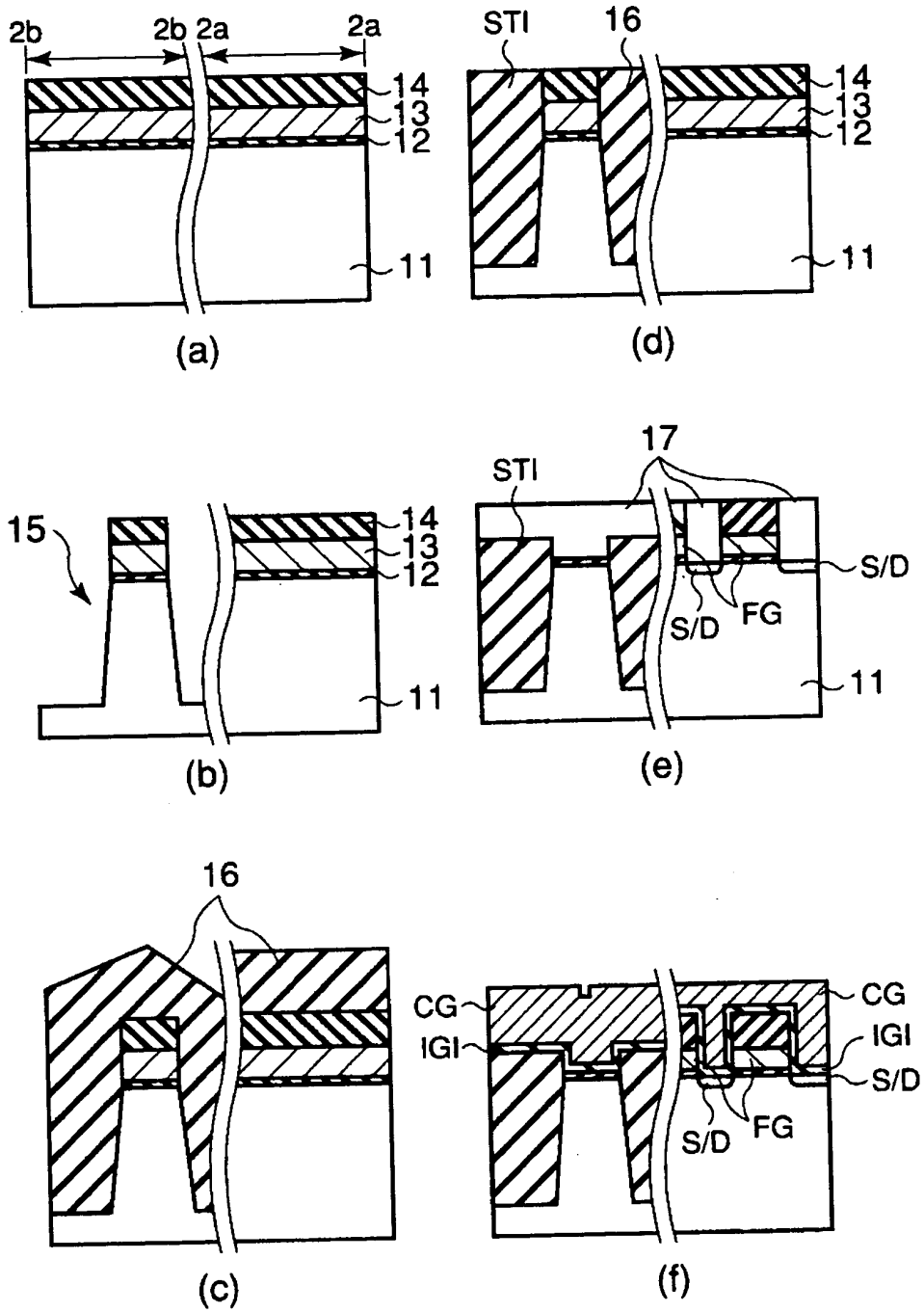
【図 2】



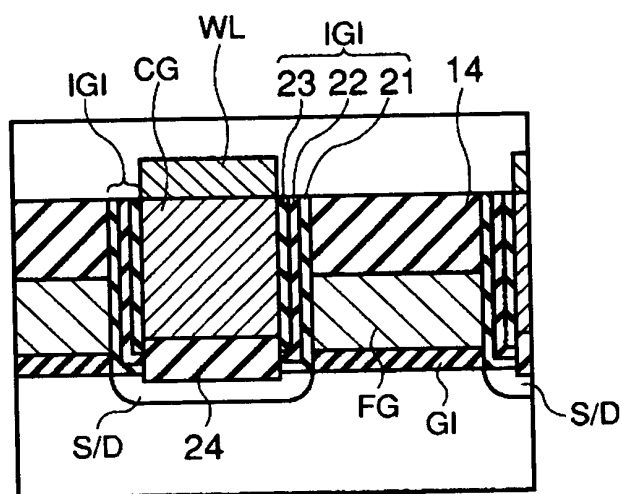
【図 3】



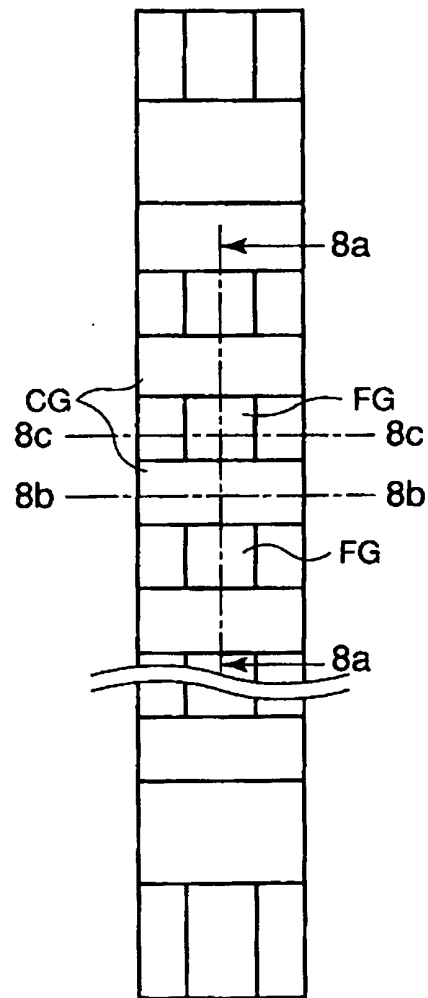
【図 4】



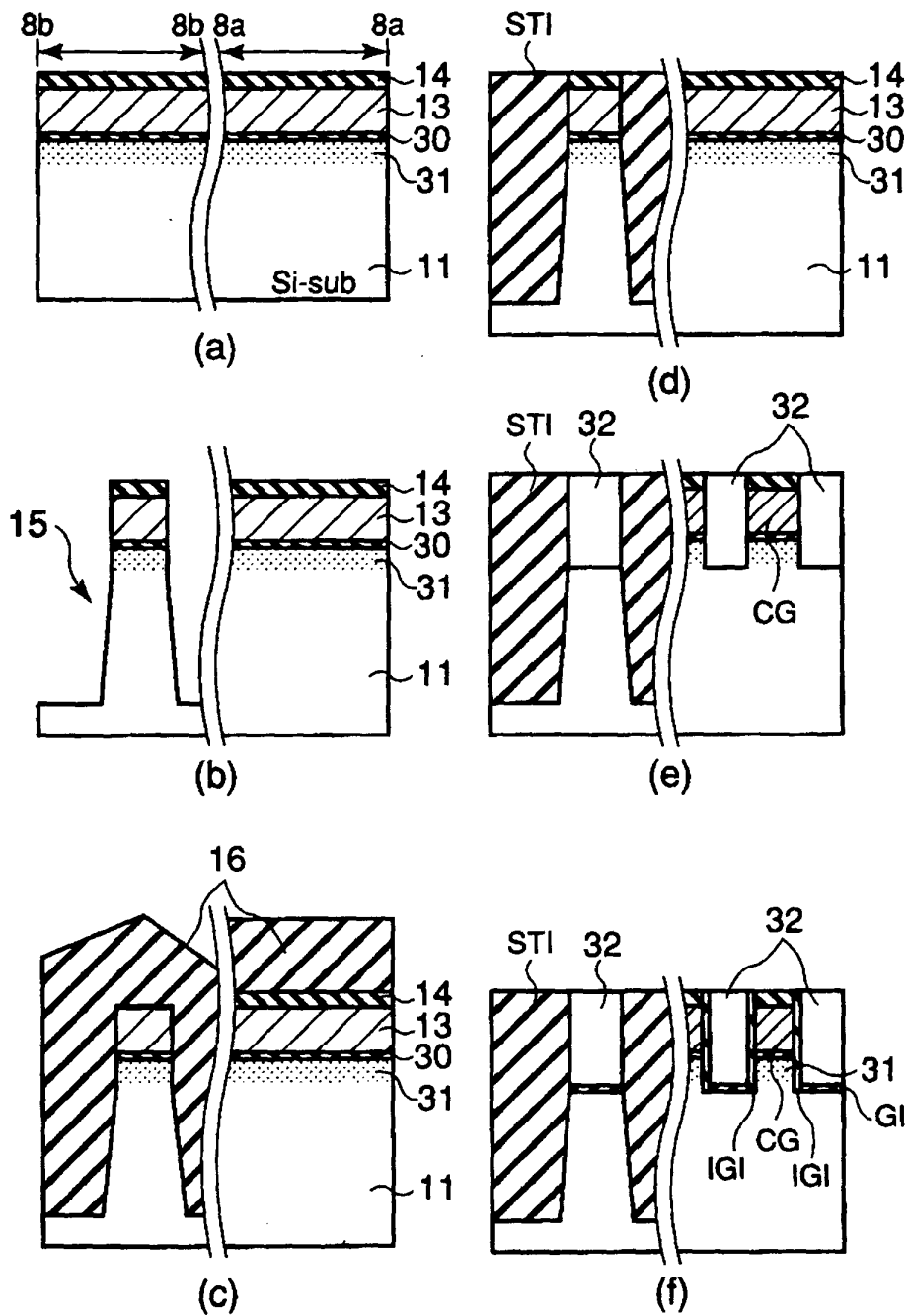
【図 6】



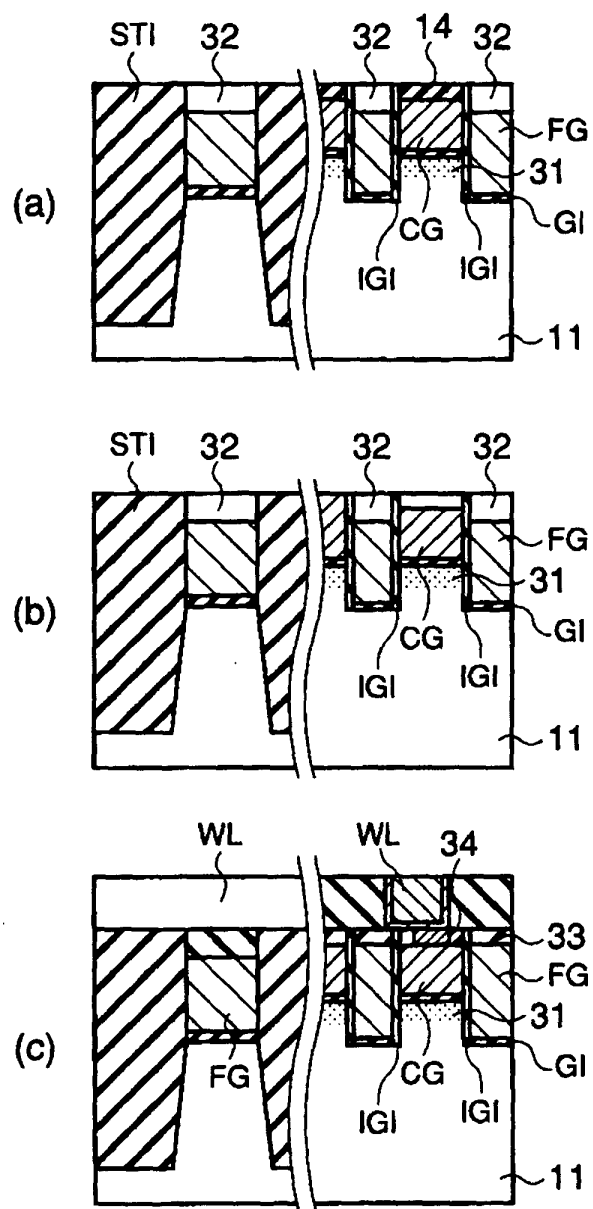
【図 7】



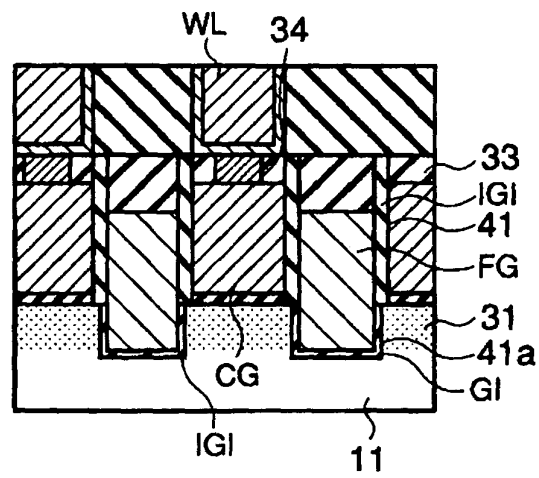
【図9】



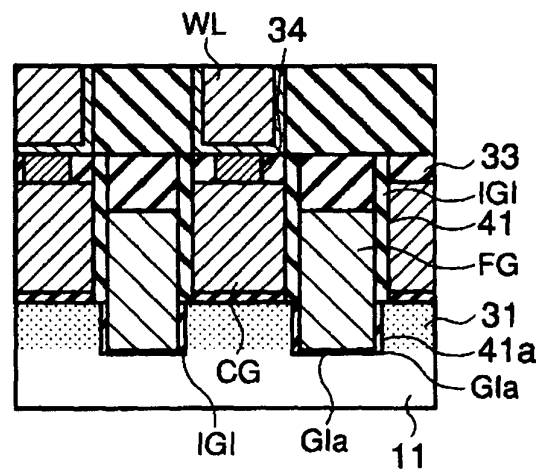
【図 1 0】



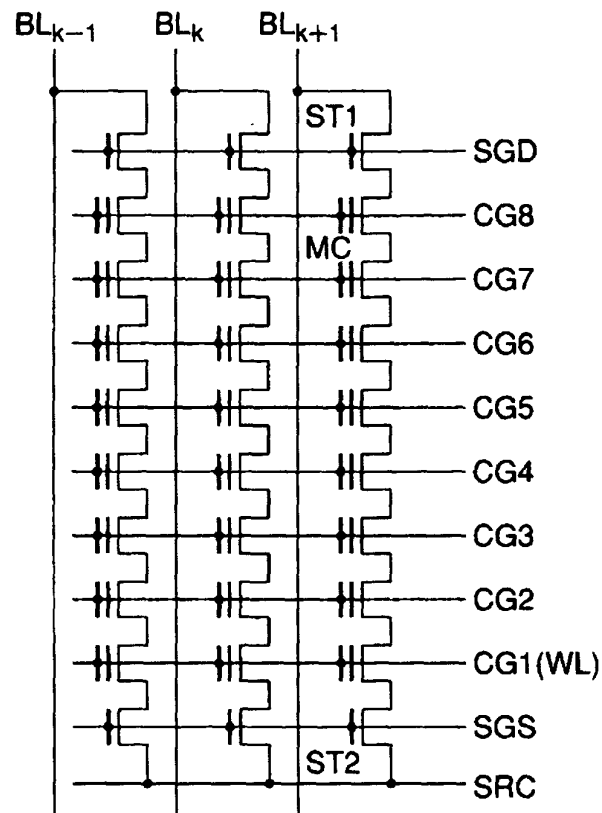
【図 11】



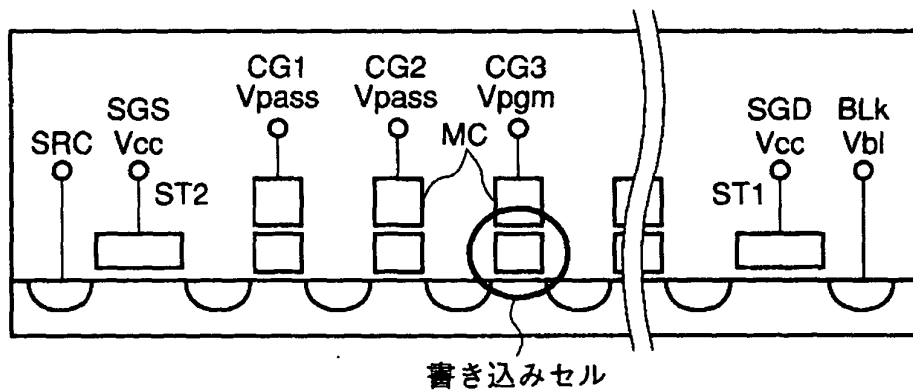
【図 12】



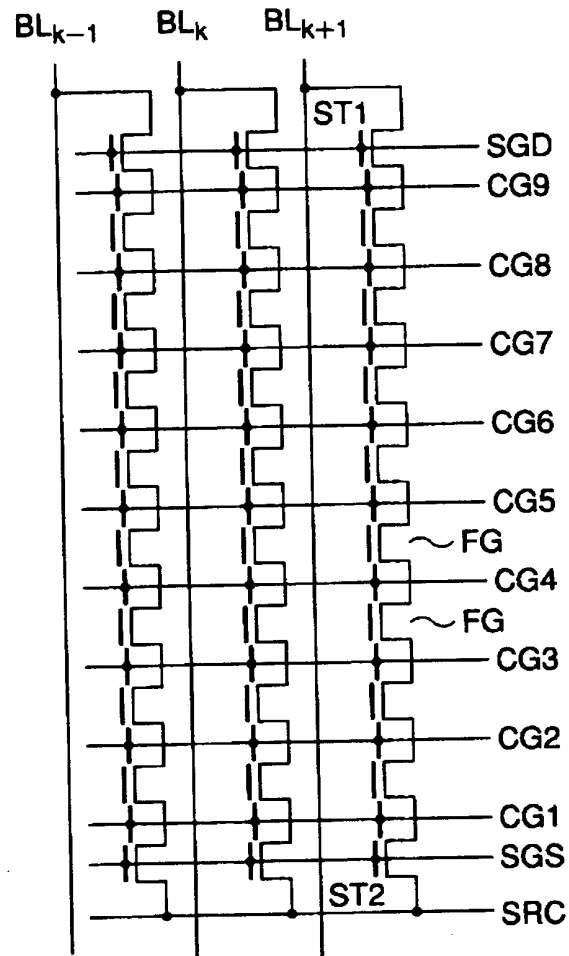
【図13】



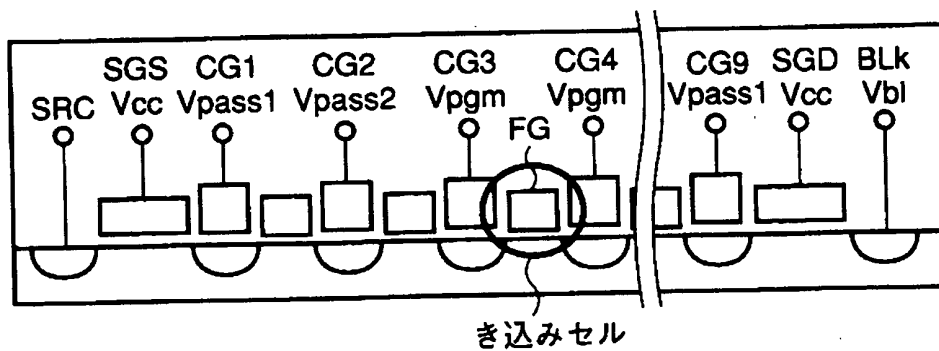
【図14】



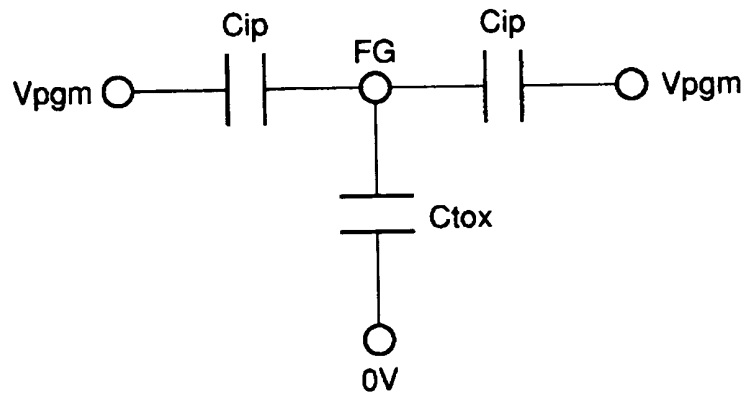
【図15】



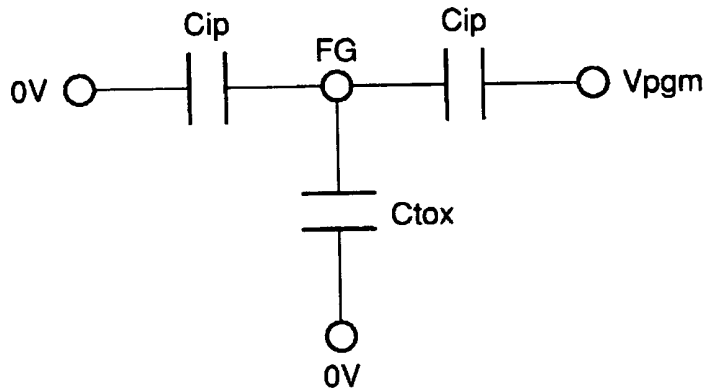
【図16】



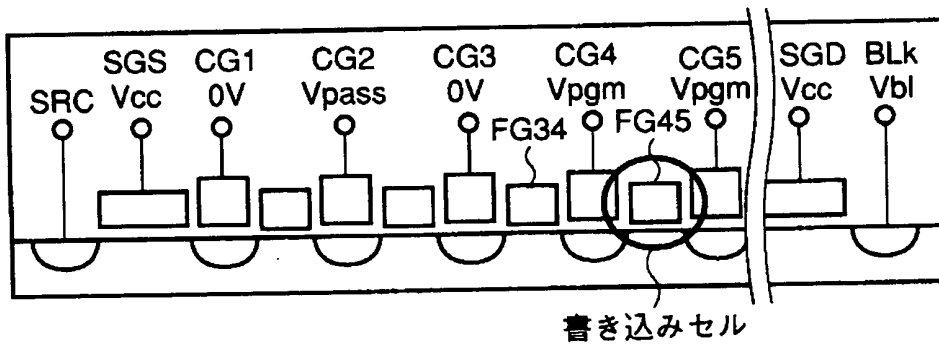
【図 17】



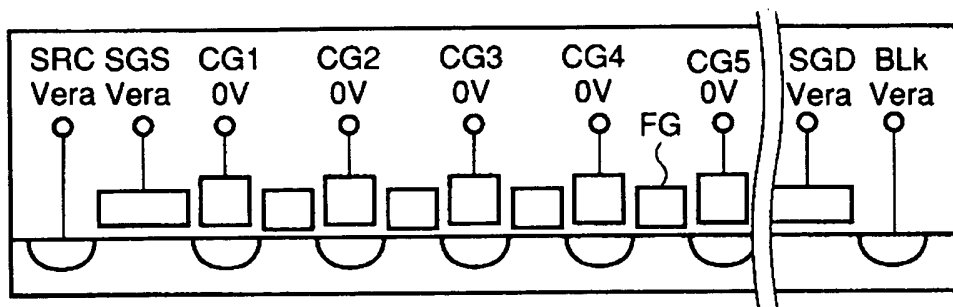
【図 18】



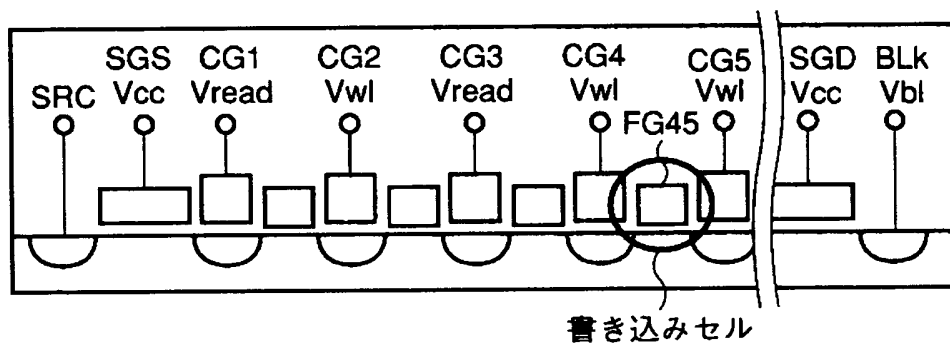
【図 19】



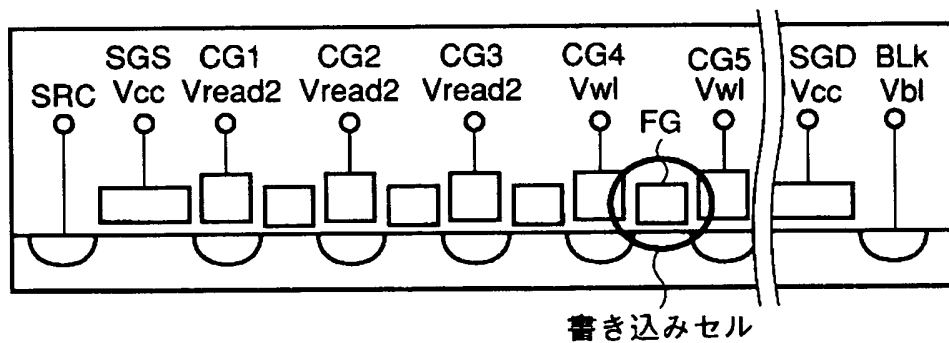
【図 2 0】



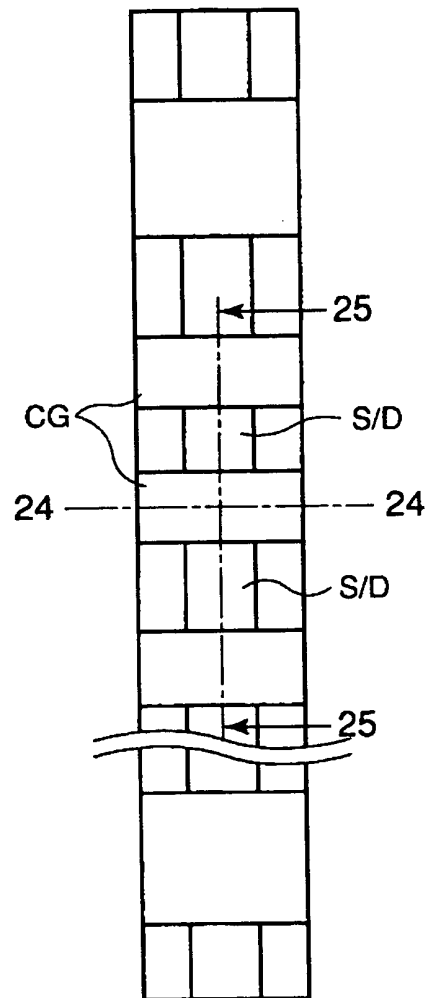
【図 2 1】



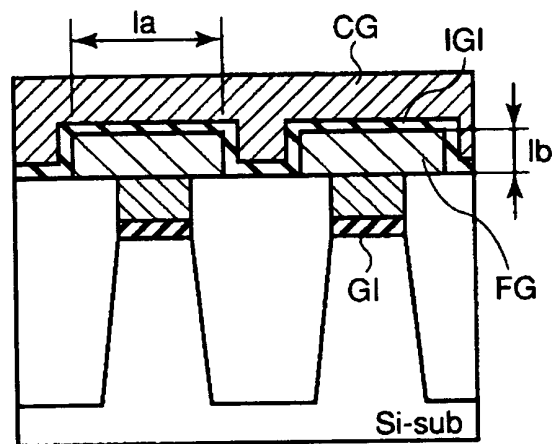
【図 2 2】



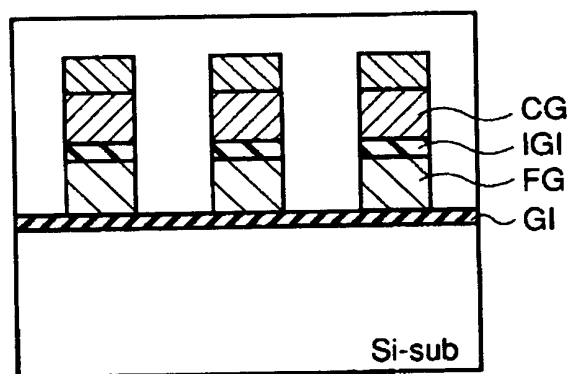
【図 2 3】



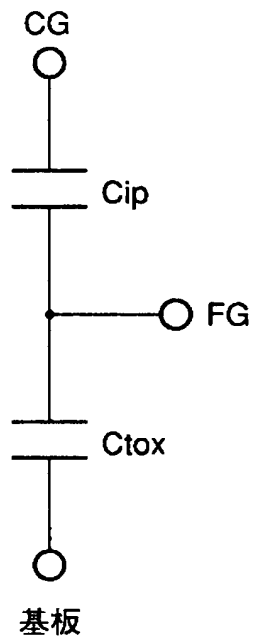
【図 24】



【図 25】



【图 2 6】



【書類名】 要約書

【要約】

【課題】 浮遊ゲート周辺の寄生容量を削減するとともに、制御ゲートと浮遊ゲート間の容量を増大することが困難であり、書き込み電圧を低減し、高集積化、高速化を図ることが困難であった。

【解決手段】 半導体基板 1 1 上にゲート絶縁膜 G I を介して浮遊ゲート F G が形成されている。浮遊ゲート F G の両側に位置する半導体基板 1 1 内にソース又はドレイン領域としての拡散層が形成されている。両拡散層に対応した浮遊ゲートの両側にゲート間絶縁膜 I G I を介して浮遊ゲートを駆動する第 1、第 2 の制御ゲート C G が形成されている。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝